

Docket No. 220212US2/btm

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Kazuya OHUCHI

GAU: 2815

SERIAL NO: 10/084,221

EXAMINER:

FILED: February 28, 2002

FOR: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

RECEIVED
JUN 18 2002
TC 2800 MAIL ROOM

SIR:

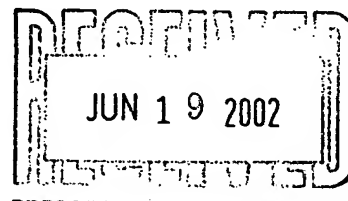
- ☐ Full benefit of the filing date of U.S. Application Serial Number [US App No], filed [US App Dt], is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2001-394215	December 26, 2001

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
 - ☐ are submitted herewith
 - ☐ will be submitted prior to payment of the Final Fee



Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Paul A. Sacher
Marvin J. Spivak
Registration No. 24,913



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 10/98)

Paul A. Sacher
Registration No. 43,418



日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年12月26日

出願番号

Application Number:

特願2001-394215

[ST.10/C]:

[JP2001-394215]

出願人

Applicant(s):

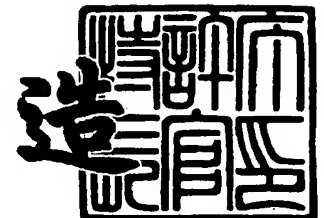
株式会社東芝

RECEIVED
JUN 18 2002
TC 2800 MAIL ROOM

2002年 2月 8日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2002-3005577-

【書類名】 特許願

【整理番号】 13461201

【提出日】 平成13年12月26日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/00

【発明の名称】 半導体装置およびその製造法

【請求項の数】 18

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝
横浜事業所内

 【氏名】 大 内 和 也

【特許出願人】

 【識別番号】 000003078

 【住所又は居所】 東京都港区芝浦一丁目 1 番 1 号

 【氏名又は名称】 株式会社 東 芝

【代理人】

 【識別番号】 100075812

 【弁理士】

 【氏名又は名称】 吉 武 賢 次

【選任した代理人】

 【識別番号】 100088889

 【弁理士】

 【氏名又は名称】 橘 谷 英 俊

【選任した代理人】

 【識別番号】 100082991

 【弁理士】

 【氏名又は名称】 佐 藤 泰 和

【選任した代理人】

 【識別番号】 100096921

【弁理士】

【氏名又は名称】 吉 元 弘

【選任した代理人】

【識別番号】 100103263

【弁理士】

【氏名又は名称】 川 崎 康

【手数料の表示】

【予納台帳番号】 087654

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造法

【特許請求の範囲】

【請求項 1】

半導体基板に形成された第 1 導電型の半導体領域と、この第 1 導電型の半導体領域上に形成されたゲート電極と、このゲート電極直下の前記第 1 導電型の半導体領域に形成されるチャネル領域と、このチャネル領域の両側の前記第 1 導電型の半導体領域に形成されるソースおよびドレインとなる第 2 導電型の第 1 の拡散層と、を備え、前記ゲート電極は、ポリシリコンゲルマニウムからなっていてかつゲルマニウムの濃度が、ソース側およびドレイン側の内の少なくとも一方が中央部に比べて高くなるように構成されていることを特徴とする半導体装置。

【請求項 2】

前記ゲート電極内の前記ゲルマニウムの濃度は、前記ドレイン側から前記ソース側に向かうにつれて連続的に増大するように構成されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

前記ゲート電極内の前記ゲルマニウムの濃度は、前記ドレイン側および前記ソース側から前記中央部に向かうにつれて連続的に減少するように構成されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 4】

前記第 1 の拡散層と前記チャネル領域との間の前記第 1 導電型の半導体領域に設けられ前記第 1 拡散層よりも不純物濃度が低くかつ浅い第 2 導電型の第 2 拡散層を備えたことを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体装置。

【請求項 5】

前記ゲート電極の側部に形成される絶縁物からなるゲート側壁を備え、このゲート側壁と前記ゲート電極のゲルマニウム濃度の高い側の端面との間に酸化膜が形成されていることを特徴とする請求項 1 乃至 4 のいずれかに記載の半導体装置。

【請求項 6】

半導体基板に形成された第 1 導電型の半導体領域と、この第 1 導電型の半導体領域上に形成されたポリシリコンゲルマニウムからなるゲート電極と、このゲート電極直下の前記第 1 導電型の半導体領域に形成されるチャネル領域と、このチャネル領域の両側の前記第 1 導電型の半導体領域に形成されるソースおよびドレインとなる第 2 導電型の第 1 の拡散層と、前記ゲート電極の前記チャネル領域側およびドレイン領域側の内の少なくとも一方の側の側面に形成される酸化膜と、を備え、前記酸化膜が形成された側の前記ゲート電極の側面から前記酸化膜の膜厚にほぼ相当する前記ゲート電極の領域中のゲルマニウムの濃度は、前記ゲート電極の中央部のゲルマニウムの濃度の 1.5 ～ 2 倍となっていることを特徴とする半導体装置。

【請求項 7】

前記酸化膜は前記ゲート電極のソース側に設けられ、前記ゲート電極内の前記ゲルマニウムの濃度は、前記ソース側から前記ドレイン側に向かうにつれて連続的に減少するように構成されていることを特徴とする請求項 6 記載の半導体装置。

【請求項 8】

前記ゲート電極内の前記ゲルマニウムの濃度は、前記ドレイン側および前記ソース側から前記中央部に向かうにつれて連続的に減少するように構成されていることを特徴とする請求項 6 記載の半導体装置。

【請求項 9】

前記第 1 の拡散層と前記チャネル領域との間の前記第 1 導電型の半導体領域に設けられ前記第 1 拡散層よりも不純物濃度が低くかつ浅い第 2 導電型の第 2 拡散層を備えたことを特徴とする請求項 6 乃至 8 のいずれかに記載の半導体装置。

【請求項 10】

半導体基板に形成された第 1 導電型の第 1 の半導体領域と、この第 1 の半導体領域上に形成された第 1 のゲート電極と、この第 1 のゲート電極直下の前記第 1 の半導体領域に形成される第 1 のチャネル領域と、この第 1 のチャネル領域の両側の前記第 1 導電型の半導体領域に形成されるソースおよびドレインとなる第 2 導電型の第 1 の拡散層と、を有する第 1 の M I S F E T と、

前記半導体基板に形成されて前記第 1 半導体領域とは素子分離された第 2 導電型の第 2 の半導体領域と、この第 2 の半導体領域上に形成された第 2 のゲート電極と、この第 2 のゲート電極直下の前記第 2 の半導体領域に形成される第 2 のチャンネル領域と、この第 2 のチャンネル領域の両側の前記第 2 導電型の半導体領域に形成されるソースおよびドレインとなる第 1 導電型の第 2 の拡散層と、を有する第 2 の M I S F E T と、

備え、前記第 1 および第 2 のゲート電極は、ポリシリコンゲルマニウムからなっていてかつゲルマニウムの濃度が、ソース側およびドレイン側の内の少なくとも一方が中央部に比べて高くなるように構成されていることを特徴とする半導体装置。

【請求項 1 1】

前記第 1 および第 2 のゲート電極内の前記ゲルマニウムの濃度はそれぞれ、前記ドレイン側から前記ソース側に向かうにつれて連続的に増大するように構成されていることを特徴とする請求項 1 0 記載の半導体装置。

【請求項 1 2】

前記第 1 および第 2 のゲート電極内の前記ゲルマニウムの濃度はそれぞれ、前記ドレイン側および前記ソース側から前記中央部に向かうにつれて連続的に減少するように構成されていることを特徴とする請求項 1 0 記載の半導体装置。

【請求項 1 3】

半導体基板上に形成された第 1 導電型の半導体領域上に、ポリシリコンゲルマニウムを含むゲート電極を形成する工程と、前記ゲート電極の片側の側面近傍が露出するように前記ゲート電極上に選択的に第 1 絶縁膜を形成する工程と、前記ゲート電極の露出している片側の側面近傍のシリコンを選択的に酸化し、酸化膜を形成する工程と、を備えたことを特徴とする半導体装置の製造方法。

【請求項 1 4】

前記酸化膜を形成した後、第 1 絶縁膜を除去し、前記ゲート電極をマスクとして前記半導体領域に第 2 導電型の不純物を注入することにより第 2 導電型の第 1 拡散層を形成する工程を備えたことを特徴とする請求項 1 3 記載の半導体装置の製造方法。

【請求項 1 5】

前記第 1 拡散層を形成した後、前記ゲート電極の側部に絶縁物からなるゲート側壁を形成する工程と、前記ゲート電極および前記ゲート側壁をマスクとして前記半導体領域に第 2 導電型の不純物をイオン注入することによりソースおよびドレインとなる第 2 導電型の第 2 拡散層を形成する工程と、を備えたことを特徴とする請求項 1 3 または 1 4 記載の半導体装置の製造方法。

【請求項 1 6】

半導体基板上に形成された第 1 導電型の半導体領域上に、ポリシリコンゲルマニウムを含むゲート電極を形成する工程と、前記ゲート電極内のシリコンを選択的に酸化し、前記ゲート電極の全面に酸化膜を形成する工程と、を備えたことを特徴とする半導体装置の製造方法。

【請求項 1 7】

前記酸化膜を形成した後、前記ゲート電極をマスクとして前記半導体領域に第 2 導電型の不純物を注入することにより第 2 導電型の第 1 拡散層を形成する工程を備えたことを特徴とする請求項 1 6 記載の半導体装置の製造方法。

【請求項 1 8】

前記第 1 拡散層を形成した後、前記ゲート電極の側部に絶縁物からなるゲート側壁を形成する工程と、前記ゲート電極および前記ゲート側壁をマスクとして前記半導体領域に第 2 導電型の不純物をイオン注入することによりソースおよびドレインとなる第 2 導電型の第 2 拡散層を形成する工程と、を備えたことを特徴とする請求項 1 6 または 1 7 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、金属絶縁体半導体電界効果トランジスタ（MISFET）を有する半導体装置およびその製造方法に関する。

【0 0 0 2】

【従来の技術】

従来、MISFET あるいは MOSFET においては、ゲート端での電界集中

によりホットキャリアが発生し、ゲート耐圧の信頼性が劣化することが知られている。これを防止するために、ゲート側部を酸化して形成されるゲート端部の絶縁膜、つまり後酸化膜を厚くしゲート端部近傍の電界強度を緩和することがおこなわれている。しかし、十分な電界緩和を起こすためには上記後酸化膜に十分な膜厚が必要である。図 8 に示すように、十分な膜厚の後酸化膜 1 2 を形成した場合、ゲート電極 8 a、8 b をマスクとして引き続いて行われる n 型のソースおよびドレイン領域 2 0 および p 型のソースおよびドレイン領域 2 1 よりも不純物濃度の低い n 型のエクステンション層 1 6 および p 型のエクステンション層 1 7 を形成するための極低加速イオン注入あるいはプラズマを用いた不純物ドーピングを行う上において上記後酸化膜 1 2 が障害となっていた。なお、図 8 において、符号 1 は n 型半導体基板、符号 2 a は p 型半導体領域、符号 2 b は n 型半導体領域、符号 4 は素子分離絶縁膜、符号 6 a、6 b はゲート絶縁膜である。

【0 0 0 3】

また、一般にゲート電極の材料としては、ゲート電極材料を導電化するための不純物（例えばボロン）を活性化するためにポリシリコンゲルマニウムが用いられる。図 8 に示すように、十分な膜厚の後酸化膜 1 2 を形成した場合、ポリシリコンゲルマニウムを導電化するために導入された不純物の不活性化がゲート電極 8 a、8 b の側面に起こり、このため、ゲート電極の端部 3 2 が中央部 3 4 に比べ高抵抗となる。特に微細なゲート電極においては、上記不活性化部分のゲート電極に占める割合が増大し、ゲート電極中に空乏層が形成される。これにより、トランジスタの電流駆動力の低下を引き起こし、M I S F E T の性能が劣化するという問題があった。

【0 0 0 4】

【発明が解決しようとする課題】

本発明は、上記事情を考慮してなされたものであって、微細化しても性能の劣化を抑制することのできる半導体装置およびその製造方法を提供することを目的とする。

【0 0 0 5】

【課題を解決するための手段】

本発明の第 1 の態様による半導体装置は、半導体基板に形成された第 1 導電型の半導体領域と、この第 1 導電型の半導体領域上に形成されたゲート電極と、このゲート電極直下の前記第 1 導電型の半導体領域に形成されるチャンネル領域と、このチャンネル領域の両側の前記第 1 導電型の半導体領域に形成されるソースおよびドレインとなる第 2 導電型の第 1 の拡散層と、を備え、前記ゲート電極は、ポリシリコンゲルマニウムからなっていてかつゲルマニウムの濃度が、ソース側およびドレイン側の内の少なくとも一方が中央部に比べて高くなるように構成されていることを特徴とする。

【 0 0 0 6 】

また、本発明の第 2 の態様による半導体装置は、半導体基板に形成された第 1 導電型の半導体領域と、この第 1 導電型の半導体領域上に形成されたポリシリコンゲルマニウムからなるゲート電極と、このゲート電極直下の前記第 1 導電型の半導体領域に形成されるチャンネル領域と、このチャンネル領域の両側の前記第 1 導電型の半導体領域に形成されるソースおよびドレインとなる第 2 導電型の第 1 の拡散層と、前記ゲート電極の前記チャンネル領域側およびドレイン領域側の内の少なくとも一方の側の側面に形成される酸化膜と、を備え、前記酸化膜が形成された側の前記ゲート電極の側面から前記酸化膜の膜厚にほぼ相当する前記ゲート電極の領域中のゲルマニウムの濃度は、前記ゲート電極の中央部のゲルマニウムの濃度の 1.5 乃至 2 倍となっていることを特徴とする。

【 0 0 0 7 】

また、本発明の第 3 の態様による半導体装置は、半導体基板に形成された第 1 導電型の第 1 の半導体領域と、この第 1 の半導体領域上に形成された第 1 のゲート電極と、この第 1 のゲート電極直下の前記第 1 の半導体領域に形成される第 1 のチャンネル領域と、この第 1 のチャンネル領域の両側の前記第 1 導電型の半導体領域に形成されるソースおよびドレインとなる第 2 導電型の第 1 の拡散層と、を有する第 1 の M I S F E T と、前記半導体基板に形成されて前記第 1 半導体領域とは素子分離された第 2 導電型の第 2 の半導体領域と、この第 2 の半導体領域上に形成された第 2 のゲート電極と、この第 2 のゲート電極直下の前記第 2 の半導体領域に形成される第 2 のチャンネル領域と、この第 2 のチャンネル領域の両側の前記

第2導電型の半導体領域に形成されるソースおよびドレインとなる第1導電型の第2の拡散層と、を有する第2のMISFETと、備え、前記第1および第2のゲート電極は、ポリシリコンゲルマニウムからなっていてかつゲルマニウムの濃度が、ソース側およびドレイン側の内の少なくとも一方が中央部に比べて高くなるように構成されていることを特徴とする。

【0008】

また、本発明の第4の態様による半導体装置の製造方法は、半導体基板上に形成された第1導電型の半導体領域上に、ポリシリコンゲルマニウムを含むゲート電極を形成する工程と、前記ゲート電極の片側の側面近傍が露出するように前記ゲート電極上に選択的に第1絶縁膜を形成する工程と、前記ゲート電極の露出している片側の側面近傍のシリコンを選択的に酸化し、酸化膜を形成する工程と、を備えたことを特徴とする。

【0009】

また、本発明の第5の態様による半導体装置の製造方法は、半導体基板上に形成された第1導電型の半導体領域上に、ポリシリコンゲルマニウムを含むゲート電極を形成する工程と、前記ゲート電極内のシリコンを選択的に酸化し、前記ゲート電極の全面に酸化膜を形成する工程と、を備えたことを特徴とする。

【0010】

【発明の実施の形態】

以下、本発明について、図面を参照しながら具体的に説明する。

【0011】

(第1実施形態)

本発明の第1実施形態による半導体装置を図1を参照して説明する。この実施形態の半導体装置は、ポリシリコンゲルマニウムからなるゲート電極を有するMISFETを備えており、その構成を図1(a)に示し、図1(a)に示す切断線A-A'で切断した断面におけるボロン(B)とゲルマニウム(Ge)の濃度分布のグラフを図1(b)に示す。

【0012】

この実施形態の半導体装置は、nチャネルMISFETを有し、このnチャネ

ルM I S F E Tは、素子分離絶縁膜4によって素子分離された、半導体基板1のp型半導体領域2a上に形成されたゲート電極8aと、このゲート電極8a直下のp型半導体領域2aに形成されるチャネル領域と、このチャネル領域の両側の上記p型半導体領域2aに形成されるソースおよびドレインとなるn型の拡散層20と、この拡散層20と上記チャネル領域との間の上記p型半導体領域2aに設けられ上記拡散層20よりも不純物濃度が低くかつ浅いn型の拡散層（以下、エクステンション層ともいう）16と、ゲート電極8aの側部に形成された絶縁物からなるゲート側壁18とを備えている。また、上記M I S F E Tにおいては、ゲート電極8aは、ポリシリコンゲルマニウムからなっており、導電化するためにボロン（B）が注入されている。このゲート電極8aは、図1（b）に示すように、ゲルマニウムの濃度は、ドレイン側からソース側に向かうに連れて連続的に増大するように構成されている。すなわちゲート電極8aは、ボロンの活性化濃度とゲルマニウムの濃度の高い部分14がソース側に設けられ、低い部分がドレイン側に設けられた構成となっている。ゲルマニウムはp型の不純物（例えばボロン）を活性化するため、ボロンの活性化濃度は、ドレイン側からソース側に向かうに連れて連続的に増大するように構成される。なお、ゲルマニウムの濃度の高い部分14とゲート側壁18との間には、酸化膜12が形成された構成となっている。そして、ゲルマニウムの濃度の高い部分14は、酸化膜12の膜厚にほぼ相当し、そのゲルマニウムの濃度は、ゲート電極8aの中央部のゲルマニウムの濃度の1.5乃至2倍となっている。

【0013】

また、図示してはいないが、ソースおよびドレイン20上にはソース電極およびドレイン電極がそれぞれ設けられている。

【0014】

以上説明したように、本実施形態においては、ソース側のゲルマニウム濃度に比ベドレイン側のゲルマニウム濃度が低いため、不純物（ボロン）の活性化濃度がドレイン側がソース側に比べて低い。このため、高電界が印加されるドレイン近傍の領域では、ゲート電極8a中に空乏層が広がることにより、空乏層容量がゲート電極8aとドレイン電極（図示せず）との間の容量に対して直列に挿入さ

れることになる。これにより、実効的にゲート容量が減少し、ドレイン端での電界が緩和されるので、ドレイン端でのゲート耐圧が劣化するのを抑制することができる。したがって、微細化しても性能の劣化を抑制することができる。

【 0 0 1 5 】

(第 2 実施形態)

次に、本発明の第 2 実施形態による半導体装置の製造方法を図 2 および図 3 を参照して説明する。

【 0 0 1 6 】

まず、図 2 (a) に示すように、n 型半導体基板 1 に絶縁体からなる素子分離 4 を形成し、素子分離された領域の一方に、p 型不純物を注入することにより p 型半導体領域 2 a を形成する。これにより素子分離された領域の他方は n 型半導体領域 2 b となる (図 2 (a) 参照)。続いて、p 型半導体領域 2 a および n 型半導体領域 2 b 上にゲート絶縁膜 6 を形成した後、ポリシリコンゲルマニウム膜 8 を熱 CVD (Chemical Vapor Deposition) 法により堆積する (図 2 (a) 参照)。

【 0 0 1 7 】

次に、図 2 (b) に示すように、リソグラフィ技術および R I E (Reactive Ion Etching) 法を用いてポリシリコンゲルマニウム膜 8 をパターニングし、半導体領域 2 a、2 b にゲート電極 6 a、6 b をそれぞれ形成する。

【 0 0 1 8 】

次に、図 2 (c) に示すように、全面に酸化材の進入をストップする材料、例えばシリコン窒化材料からなる酸化防止膜 1 0 を堆積する。その後、図 2 (d) に示すように、リソグラフィ技術を用いて酸化防止膜 1 0 をパターニングし、ゲート電極 8 a、8 b のそれぞれの片側側面 (ソース側) のみを露出させる。続いて、図 3 (a) に示すように、ゲート電極 8 a、8 b の露出した片側側面を酸化して酸化膜 1 2 を形成し、その後、酸化防止膜 1 0 を除去する。酸化条件をポリシリコンゲルマニウム中のシリコンを選択的に酸化する条件とすることにより、ゲルマニウム濃度が、酸化膜 1 2 で覆われたゲート電極 8 a、8 b 部分 1 4 のみで上昇する (図 3 (a) 参照)。酸化膜 1 2 の厚さは 0. 5 n m 以上、1 0 n m 以下とする。この酸化膜 1 2 の厚さの上限は、引き続き行われるソースドレイ

ンエクステンション層 1 6, 1 7 を形成する際のイオン注入を妨害しない膜厚として設定され、下限はゲートエッジ部のゲルマニウム濃度を上昇させる領域およびその濃度から決定される。このようにして、形成された M I S F E T の場合、堆積時のゲルマニウム濃度を 2 0 % とした場合、上記ソース端での酸化膜厚を 2 n m とするゲート電極中のゲルマニウム濃度はドレイン端部では 2 0 % であるのに対し、ソース端では端部から 2 n m 程度まで 4 0 % と高濃度化する。

【 0 0 1 9 】

次に、エクステンション層 1 6, 1 7 の形成のために不純物のイオン注入を行う（図 3（b）参照）。まず、p チャネル M I S F E T の形成領域すなわち n 型半導体領域 2 b をフォトリジストパターンで覆い、n チャネル M I S F E T の形成領域すなわち p 型半導体領域 2 a にゲート電極 8 a をマスクとして n 型の不純物を注入することによりエクステンション層 1 6 を形成する。続いて、上記レジストパターンを除去した後、n チャネル M I S F E T の形成領域 2 a をフォトリジストパターンで覆い、p チャネル M I S F E T の形成領域 2 b にゲート電極 8 b をマスクとして p 型の不純物を注入することによりエクステンション層 1 7 を形成し、その後上記レジストパターンを除去する。なお、上記説明においては、エクステンション層 1 6 を形成した後、エクステンション層 1 7 を形成したが、エクステンション層 1 7 を形成した後、エクステンション層 1 6 を形成しても良い。

【 0 0 2 0 】

次に、全面に絶縁物を堆積し、R I E 法を用いてゲート電極 8 a, 8 b の側部に上記絶縁物を残すように上記絶縁物をエッチングすることにより、ゲート側壁 1 8 を形成する。（図 3（b）参照）。その後、ソースおよびドレインとなる n 型の拡散層 2 0 および p 型の拡散層 2 1 を形成する（図 3（b）参照）。この n 型の拡散層 2 0 は、p チャネル M I S F E T 形成領域 2 b を覆うフォトリジストパターン（図示せず）を形成した後、n チャネル M I S F E T 形成領域 2 a にゲート電極 8 a をマスクとして n 型不純物、例えば砒素（A s ⁺）または磷（P ⁺）をイオン注入することにより形成される。その後、上記レジストパターンを除去した後、n チャネル M I S F E T 形成領域 2 a を覆うレジストパターン（図示

せず)を形成し、pチャネルMISFET形成領域2bにゲート電極8bをマスクとしてp型不純物、例えばボロン(B^+)をイオン注入することにより、ソースおよびドレインとなるp型の拡散層21を形成する。すなわち、拡散層20は、ゲート電極8aおよびゲート側壁18に自己整合的に形成され、拡散層21は、ゲート電極8bおよびゲート側壁18に自己整合的に形成される。なお、上記説明においては、拡散層20を形成した後、拡散層21を形成したが、拡散層21を形成した後、拡散層20を形成しても良い。

【0021】

次に、既知の高速昇降温レートをもつアニールを施すことによりソースおよびドレインとなる拡散層20、21の活性化を行う。その後は、ニッケル、チタンないしは窒化チタンを積層して堆積後、アニールをし、薬液処理により未反応の金属膜を除去することにより、シリコンが露出している部分のみシリサイド化するシリサイド工程を行う。その後、絶縁膜(図示せず)を堆積し、CMP(Chemical Mechanical Polishing)を用いて上記絶縁膜の平坦化を行う。続いて、リソグラフィ技術を用いて上記絶縁膜にソースおよびドレイン20、21へのコンタクトホールを開口する。その後、このコンタクトホールに金属を埋め込み、ソースおよびドレイン電極(図示せず)を形成し、MISFETを完成する。

【0022】

本実施形態の製造方法により製造されたMISFETはソース側のゲルマニウム濃度に比べ、ドレイン側のゲルマニウム濃度が低くなり、不純物の活性化濃度が低下する。そのため、高電界が印加されるドレイン近傍の領域では、ゲート電極中に空乏層が広がることにより、空乏層容量がゲート電極とドレイン電極間との容量に対して直列に挿入されることになる。これにより、実効的にゲート容量が減少し、ドレイン端での電界が緩和されるため、ドレイン端でのゲート耐圧が劣化するのを防止することができる。本実施形態をチャネル長が40nm以下のMISFETの製造に適用し、上記のソース端の酸化膜の厚さを0.5nm以上、10nm以下とすると、ソース端からドレイン端に向かってゲルマニウム濃度を減少させるプロファイルが可能となる。したがって、微細化しても、性能の劣化を抑制することができる。

【 0 0 2 3 】

図 4 および図 5 は IEEE Transaction Electron Devices, vol. 41, No.2, p228, 1994 に掲載されていた T. J. King らによる 燐 および ボロンの 活性化率の ゲルマニウム濃度依存性を示すグラフである。このグラフから分かるように、40%程度のゲルマニウム濃度までであるならば、ゲルマニウム濃度に対し、燐およびボロンの活性化率は上昇する。このため、上記実施形態の製造方法においては、nチャネル MISFET および pチャネル MISFET のどちらでも同様の効果が達成できることになる。なお、図 4 においては、燐の活性化率のゲルマニウム濃度依存性を示すグラフを実線で示し、電子の移動度のゲルマニウム濃度依存性を示すグラフを破線で示す。また、図 5 においては、ボロンの活性化率のゲルマニウム濃度依存性を示すグラフを実線で示し、正孔の移動度のゲルマニウム濃度依存性を示すグラフを破線で示す。

【 0 0 2 4 】

(第 3 実施形態)

次に、本発明の第 3 実施形態による半導体装置の構成を図 6 に示す。この実施形態の半導体装置は、ポリシリコンゲルマニウムからなるゲート電極を有する MISFET を備えており、その構成を図 6 (a) に示し、図 6 (a) に示す切断線 B-B' で切断した断面におけるゲルマニウム (Ge) の濃度分布のグラフを図 6 (b) に示す。

【 0 0 2 5 】

この実施形態の半導体装置は、nチャネル MISFET を有し、この nチャネル MISFET は、素子分離絶縁膜 4 によって素子分離された、半導体基板 1 の p 型半導体領域 2 a 上に形成されたゲート電極 8 a と、このゲート電極 8 a 直下の p 型半導体領域 2 a に形成されるチャネル領域と、このチャネル領域の両側の上記 p 型半導体領域 2 a に形成されるソースおよびドレインとなる n 型の拡散層 2 0 と、この拡散層 2 0 と上記チャネル領域との間の上記 p 型半導体領域 2 a に設けられ上記拡散層 2 0 よりも不純物濃度が低くかつ浅い n 型の拡散層 (以下、エクステンション層ともいう) 1 6 と、ゲート電極 8 a の側部に形成された絶縁物からなるゲート側壁 1 8 とを備えている。また、上記 MISFET においては

、ゲート電極 8 a は、ポリシリコンゲルマニウムからなっており、導電化するためにボロン（B）が注入されている。このゲート電極 8 a は、図 6（b）に示すように、ゲルマニウムの濃度は、ソースおよびドレイン側からチャネル領域の中央に向かうに連れて連続的に減少するように構成されている。すなわち、ゲート電極 8 a は、ゲルマニウムの濃度の高い部分 1 4 がソース側およびドレイン側ならびにゲート電極 8 a の上面に設けられ、低い部分がゲート電極 8 a の中央部付近に設けられた構成となっている。このため、ボロンの活性化濃度は、ソースおよびドレイン側からチャネル領域の中央に向かうに連れて連続的に減少するように構成されている。なお、ゲルマニウムの濃度の高い部分 1 4 とゲート側壁 1 8 との間には、酸化膜 1 2 が形成された構成となっている。そして、ゲルマニウムの濃度の高い部分 1 4 は、酸化膜 1 2 の膜厚にほぼ相当し、そのゲルマニウムの濃度は、ゲート電極 8 a の中央部のその 1. 5 乃至 2 倍となっている。

【 0 0 2 6 】

また、図示してはいないが、ソースおよびドレイン 2 0 上にはソース電極およびドレイン電極がそれぞれ設けられている。

【 0 0 2 7 】

以上説明したように、本実施形態においては、ゲート電極 8 a、8 b は、ソース側およびドレイン側のゲルマニウム濃度が中央部に比べ高い構成となっているため、不純物（ボロン）の活性化濃度がソース側およびドレイン側が中央部に比べて高く、ソース側およびドレイン側が中央部に比べて低抵抗となる。これにより、微細化しても、不活性領域（高抵抗領域）のゲート電極に占める割合が高くなり、ゲート電極中に空乏層が形成されるのを抑制することが可能となり、トランジスタの電流駆動力が低下するのを防止することができる。したがって、微細化しても性能の劣化を抑制することができる。

【 0 0 2 8 】

（第 4 実施形態）

次に、本発明の第 4 実施形態による半導体装置の製造方法を図 7 を参照して説明する。この実施形態の製造方法によって製造される M I S F E T の製造工程断面図を図 7 に示す。

【 0 0 2 9 】

まず、図 7 (a) に示すように、 n 型半導体基板 1 に絶縁体からなる素子分離 4 を形成し、素子分離された領域の一方に、 p 型不純物を注入することにより p 型半導体領域 2 a を形成する。これにより素子分離された領域の他方は n 型半導体領域 2 b となる (図 7 (a) 参照) 。続いて、 p 型半導体領域 2 a および n 型半導体領域 2 b 上にゲート絶縁膜 6 を形成した後、ポリシリコンゲルマニウム膜 8 を熱 CVD 法により堆積する (図 7 (a) 参照) 。

【 0 0 3 0 】

次に、図 7 (b) に示すように、リソグラフィ技術および R I E 法を用いてポリシリコンゲルマニウム膜 8 をパターニングし、半導体領域 2 a 、 2 b にゲート電極 6 a 、 6 b をそれぞれ形成する。

【 0 0 3 1 】

次に、図 7 (c) に示すように、ゲート電極 8 a 、 8 b の露出している面を選択的に酸化して酸化膜 1 2 を形成する。酸化条件をポリシリコンゲルマニウム中のシリコンを選択的に酸化する条件とすることにより、ゲルマニウム濃度が、ゲート電極 8 a 、 8 b の両端部近傍およびゲート電極 8 a 、 8 b の上面の酸化膜 1 2 で覆われたゲート電極 8 a 、 8 b 部分 1 4 のみで上昇する (図 7 (c) 参照) 。

【 0 0 3 2 】

次に、エクステンション層 1 6 、 1 7 の形成のために不純物のイオン注入を行う (図 7 (d) 参照) 。まず、 p チャネル M I S F E T の形成領域すなわち n 型半導体領域 2 b をフォトリジストパターンで覆い、 n チャネル M I S F E T の形成領域すなわち p 型半導体領域 2 a にゲート電極 8 a をマスクとして n 型の不純物を注入することによりエクステンション層 1 6 を形成する。続いて、上記レジストパターンを除去した後、 n チャネル M I S F E T の形成領域 2 a をフォトリジストパターンで覆い、 p チャネル M I S F E T の形成領域 2 b にゲート電極 8 b をマスクとして p 型の不純物を注入することによりエクステンション層 1 7 を形成し、その後上記レジストパターンを除去する。なお、上記説明においては、エクステンション層 1 6 を形成した後、エクステンション層 1 7 を形成したが、

エクステンション層 1 7 を形成した後、エクステンション層 1 6 を形成しても良い。

【 0 0 3 3 】

次に、全面に絶縁物を堆積し、R I E 法を用いてゲート電極 8 a、8 b の側部に上記絶縁物を残すように上記絶縁物をエッチングすることにより、ゲート側壁 1 8 を形成する。(図 7 (d) 参照)。このエッチングによって、ゲート電極 8 a、8 b の上面に形成されていた酸化膜 1 2 は除去される。その後、ソースおよびドレインとなる n 型の拡散層 2 0 および p 型の拡散層 2 1 を形成する(図 7 (d) 参照)。この n 型の拡散層 2 0 は、p チャネル M I S F E T 形成領域 2 b を覆うフォトリソパターン(図示せず)を形成した後、n チャネル M I S F E T 形成領域 2 a にゲート電極 8 a をマスクとして n 型不純物、例えば砒素 (As^+) またはリン (P^+) をイオン注入することにより形成される。その後、上記レジストパターンを除去した後、n チャネル M I S F E T 形成領域 2 a を覆うレジストパターン(図示せず)を形成し、p チャネル M I S F E T 形成領域 2 b にゲート電極 8 b をマスクとして p 型不純物、例えばボロン (B^+) をイオン注入することにより、ソースおよびドレインとなる p 型の拡散層 2 1 を形成する。すなわち、拡散層 2 0 は、ゲート電極 8 a およびゲート側壁 1 8 に自己整合的に形成され、拡散層 2 1 は、ゲート電極 8 b およびゲート側壁 1 8 に自己整合的に形成される。なお、上記説明においては、拡散層 2 0 を形成した後、拡散層 2 1 を形成したが、拡散層 2 1 を形成した後、拡散層 2 0 を形成しても良い。

【 0 0 3 4 】

次に、既知の高速昇降温レートをもつアニールを施すことによりソースおよびドレインとなる拡散層 2 0、2 1 の活性化を行う。その後は、ニッケル、チタンないしは窒化チタンを積層して堆積後、アニールをし、薬液処理により未反応の金属膜を除去することにより、シリコンが露出している部分のみシリサイド化するシリサイド工程を行う。その後、絶縁膜(図示せず)を堆積し、CMP (Chemical Mechanical Polishing) を用いて上記絶縁膜の平坦化を行う。続いて、リソグラフィ技術を用いて上記絶縁膜にソースおよびドレイン 2 0、2 1 へのコンタクトホールを開口する。その後、このコンタクトホールに金属を埋め込み、ソー

スおよびドレイン電極（図示せず）を形成し、MISFETを完成する。

【0035】

以上説明したように、本実施形態においては、ゲート電極8a、8bは、ソース側およびドレイン側のゲルマニウム濃度が中央部に比べ高い構成となっているため、不純物（ボロン）の活性化濃度がソース側およびドレイン側が中央部に比べて高く、ソース側およびドレイン側が中央部に比べて低抵抗となる。これにより、微細化しても、不活性領域（高抵抗領域）のゲート電極に占める割合が高くならず、ゲート電極中に空乏層が形成されるのを抑制することが可能となり、トランジスタの電流駆動力が低下するのを防止することができる。したがって、微細化しても性能の劣化を抑制することができる。

【0036】

【発明の効果】

以上、述べたように、本発明によれば、微細化しても性能の劣化を抑制することができる。

【図面の簡単な説明】

【図1】

本発明の第1実施形態による半導体装置の構成を示す図。

【図2】

本発明の第2実施形態による半導体装置の製造方法の製造工程を示す工程断面図。

【図3】

本発明の第2実施形態による半導体装置の製造方法の製造工程を示す工程断面図。

【図4】

燐の活性化率のゲルマニウム濃度依存性を示すグラフである。

【図5】

ボロンの活性化率のゲルマニウム濃度依存性を示すグラフである。

【図6】

本発明の第3実施形態による半導体装置の構成を示す図。

【図 7】

本発明の第 4 実施形態による半導体装置の製造方法の製造工程を示す工程断面図。

【図 8】

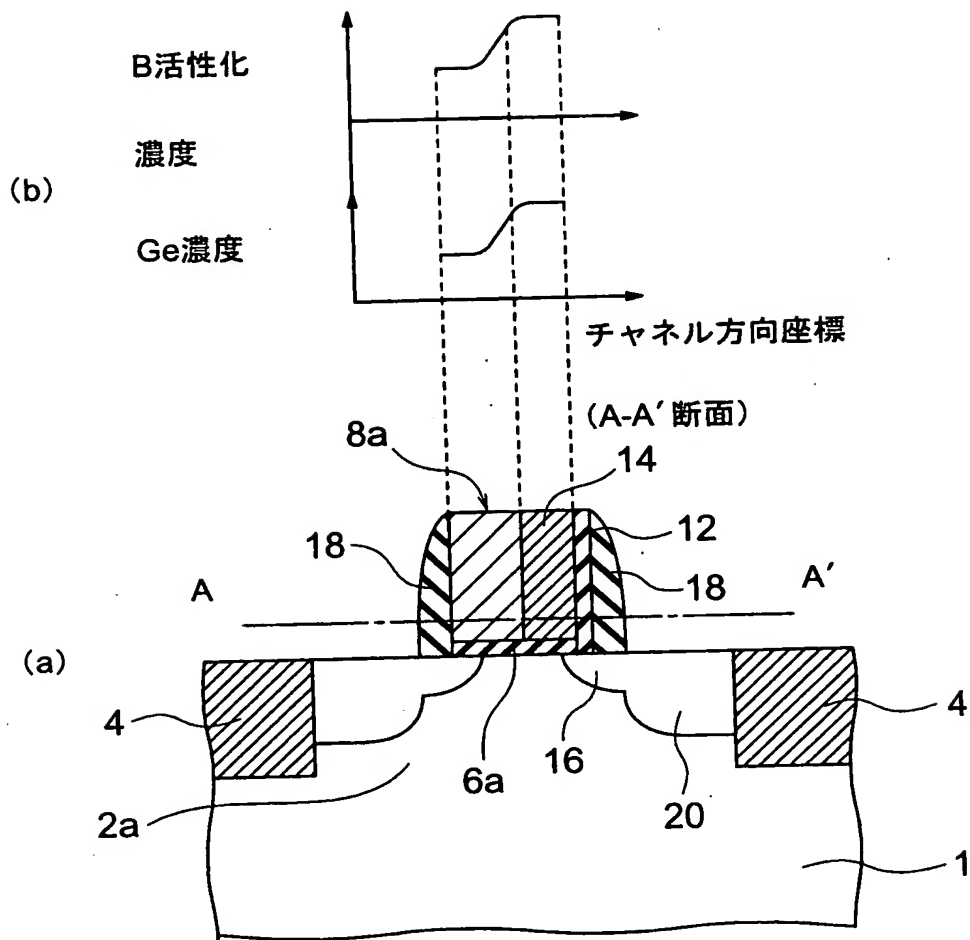
従来の半導体装置の構成を示す断面図。

【符号の説明】

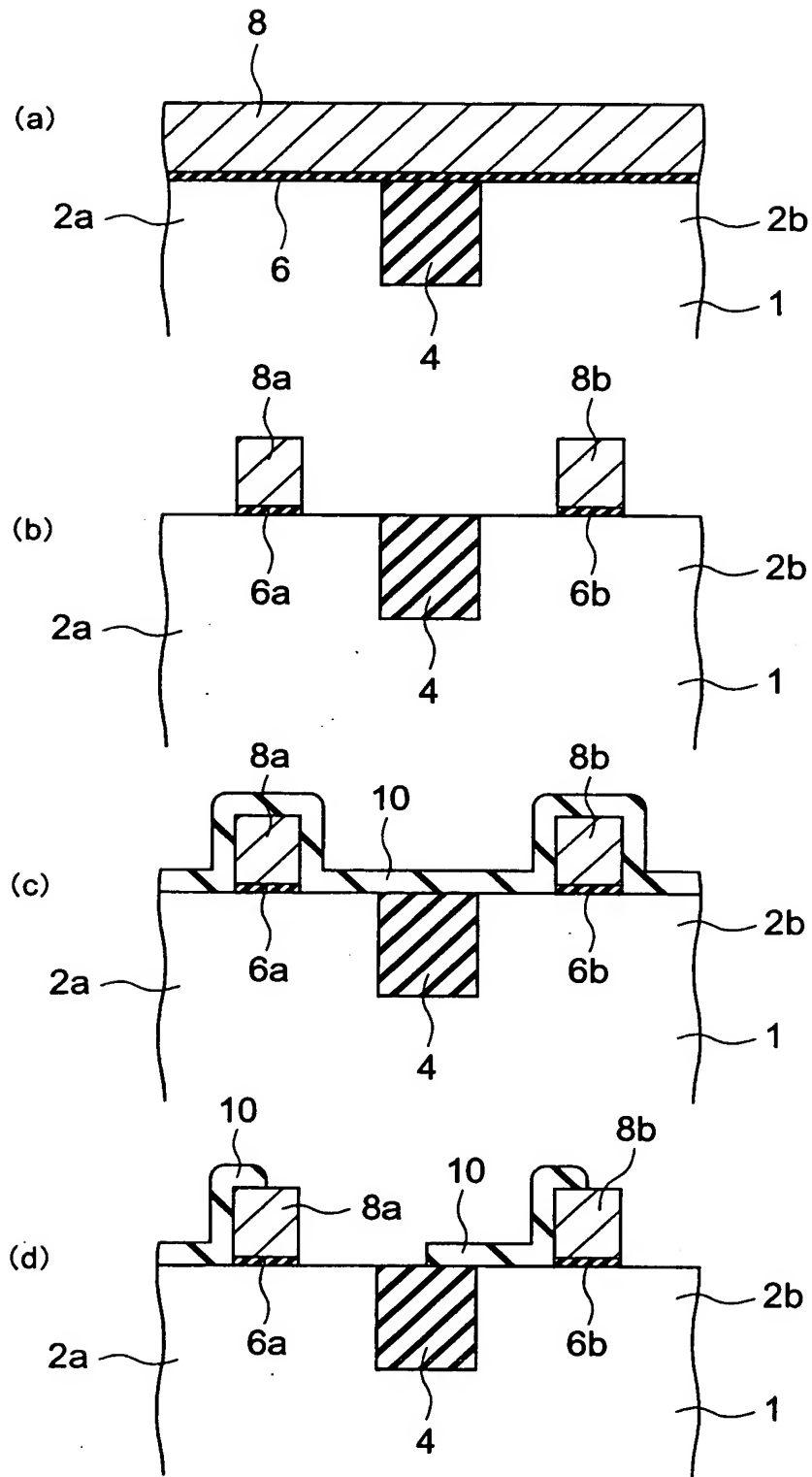
- 1 半導体基板
- 2 a p 型半導体領域
- 2 b n 型半導体領域
- 4 素子分離絶縁膜
- 6 ゲート絶縁膜
- 6 a ゲート絶縁膜
- 6 b ゲート絶縁膜
- 8 ポリシリコンゲルマニウム膜
- 8 a ゲート電極
- 8 b ゲート電極
- 1 0 酸化防止膜
- 1 2 酸化膜
- 1 4 ゲルマニウム濃度の高い部分
- 1 6 n 型のエクステンション層（拡散層）
- 1 7 p 型のエクステンション層（拡散層）
- 1 8 ゲート側壁
- 2 0 n 型のソースおよびドレイン（拡散層）
- 2 1 p 型のソースおよびドレイン（拡散層）

【書類名】 図面

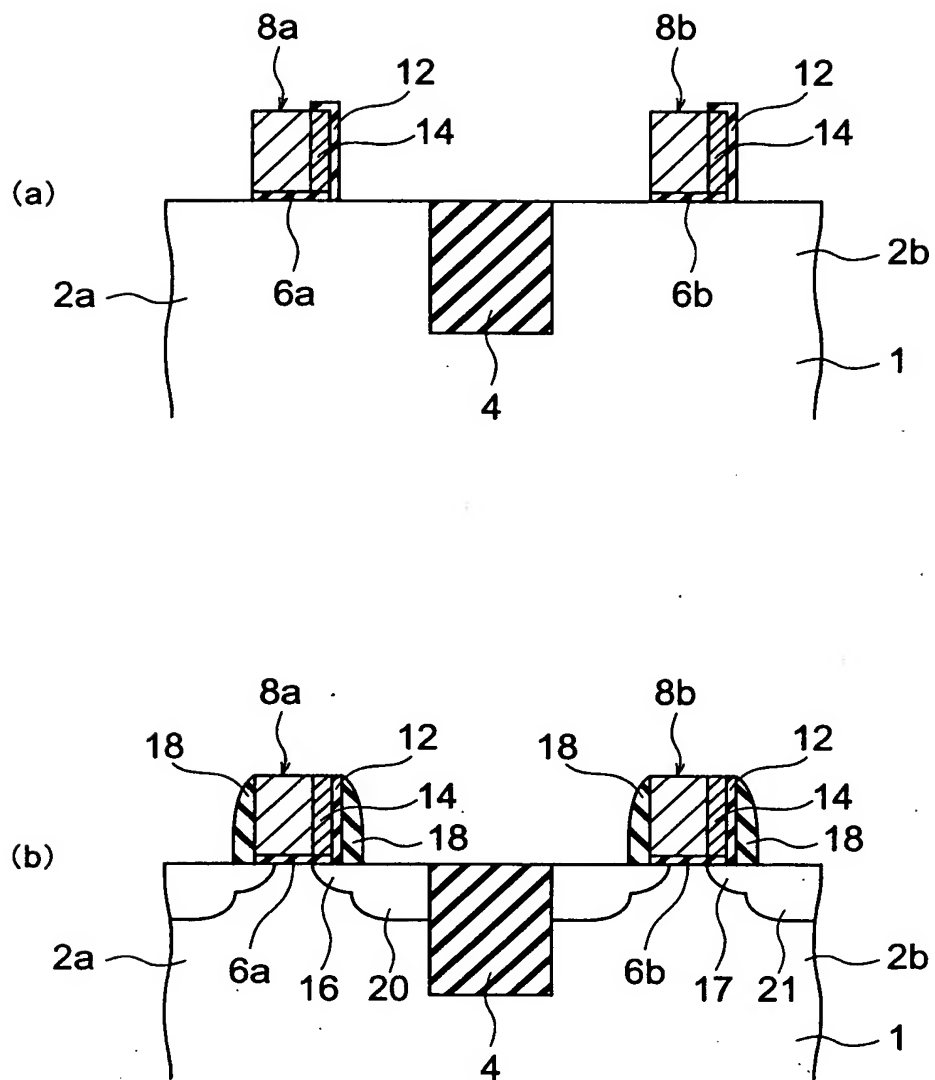
【図1】



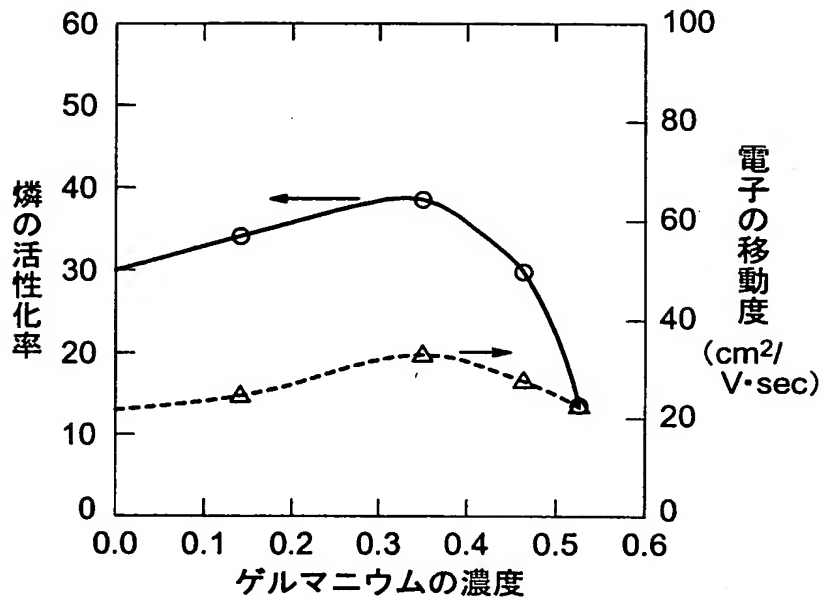
【図 2】



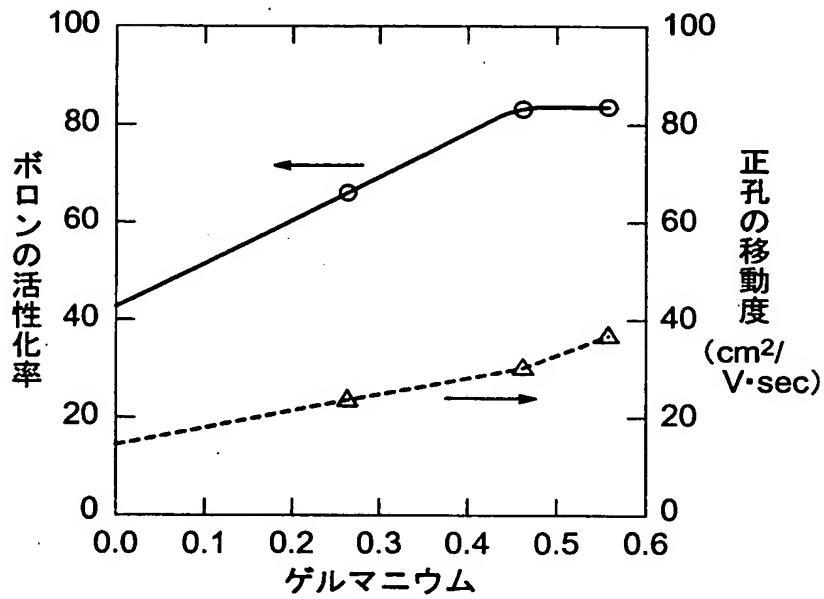
【図 3】



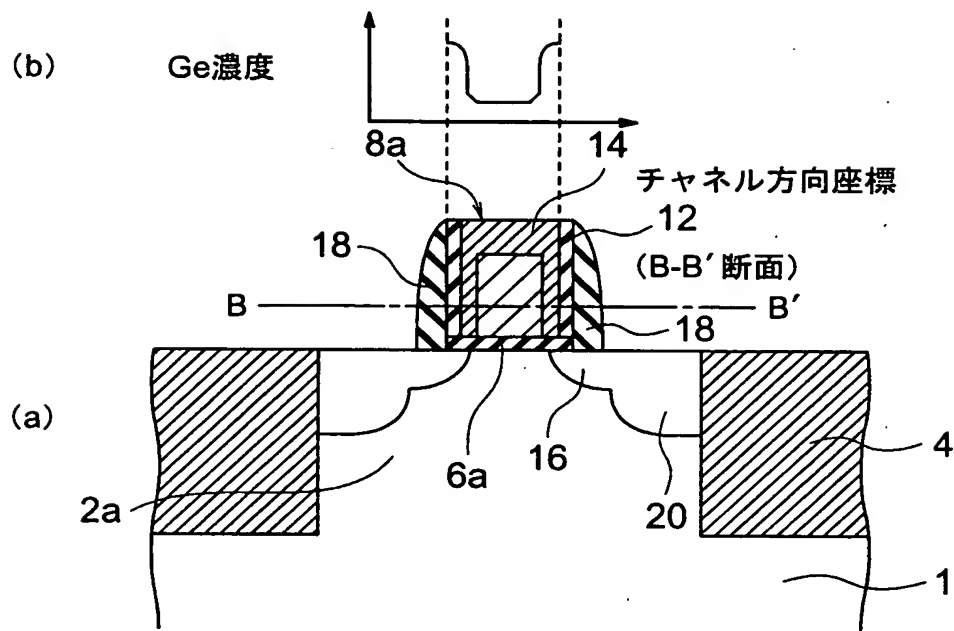
【図 4】



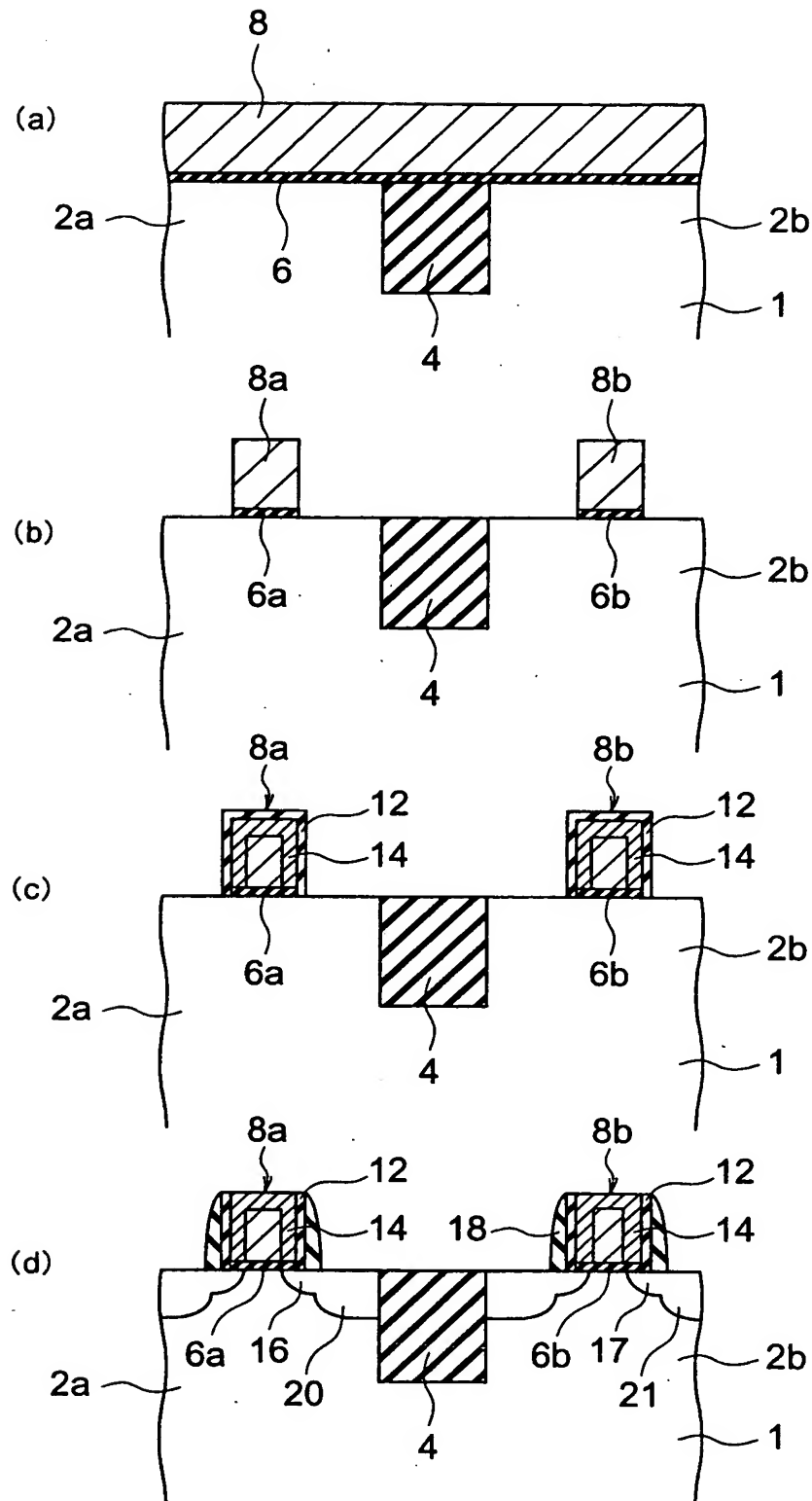
【図 5】



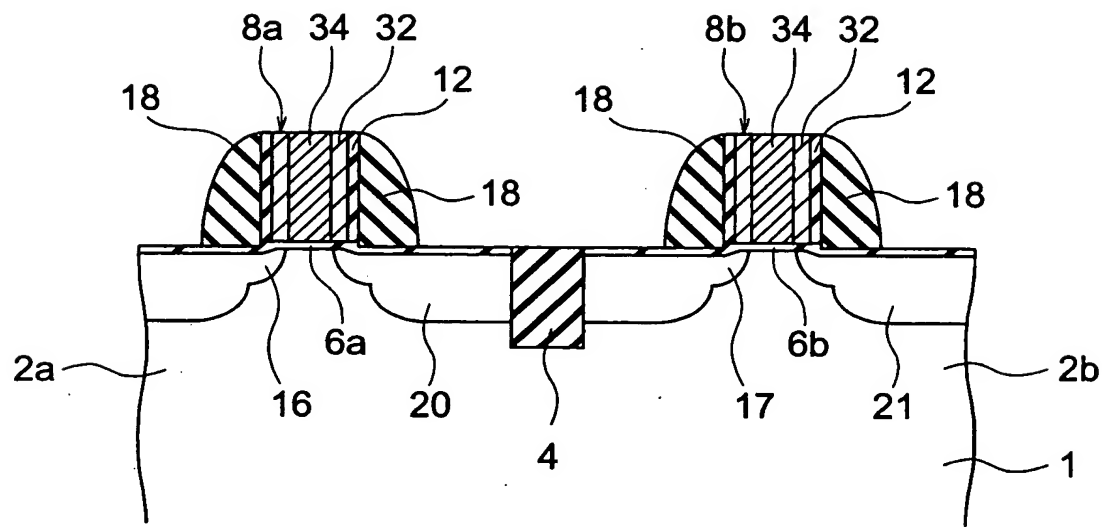
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 微細化しても性能の劣化を抑制することを可能にする。

【解決手段】 半導体基板に形成された第1導電型の半導体領域2aと、この第1導電型の半導体領域上に形成されたゲート電極8aと、このゲート電極直下の第1導電型の半導体領域に形成されるチャネル領域と、このチャネル領域の両側の第1導電型の半導体領域に形成されるソースおよびドレインとなる第2導電型の第1の拡散層16、20と、を備え、ゲート電極は、ポリシリコンゲルマニウムからなっていてかつゲルマニウムの濃度が、ソース側およびドレイン側の内の少なくとも一方が中央部に比べて高くなるように構成されている。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号

[000003078]

1. 変更年月日	2001年 7月 2日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝